

# CMOS + FPGA Vision実装のための Matched Filter の並列化

清水一弘 (立命館大学) 平井慎一 (立命館大学)

## Parallel Matched Filter implemented on CMOS + FPGA Vision

\*Kazuhiro SHIMIZU (Ritsumeikan Univ), Shinichi HIRAI (Ritsumeikan Univ)

**Abstract**— This paper describes a parallel matched filter implemented on a CMOS + FPGA Vision. This algorithm can detect robustly the position of a planar motion object, but requires much computation time for 2D-FFT. Thus, we design a logic circuit to perform matched filter on an FPGA.

**Key Words:** Matched Filter, CMOS + FPGA Vision, Logic Circuit, Parallel Processing

### 1. はじめに

メカニカルシステムを安定に制御するためには, kHz オーダでの位置, 角度の取得が不可欠である. したがって, 視覚センサを用いたビジュアルフィードバックを実現させるためには, 高解像度を維持したまま, かつ制御周期に同期できるサンプリングレートで検出対象の特徴量を抽出しなければならない. 著名な高速ビジョンとして, 石川らのビジョンチップ [1] と石井らの Mm Vision [2] が挙げられる. 石川らは, 画素ごとにセンサと処理要素を並列にならべたアーキテクチャを提案し, フィードバックレート 1000Hz を有するビジョンシステムを開発している. しかし, 並列に処理要素並べているために, モーメント計算やフィルタ処理などの局所的な演算は高速に実現できるが, フーリエ変換などのグローバル演算を有するアルゴリズムの実装は困難である. 一方, 石井らは, 特定の画像領域を選択する Mm Vision を提案している. 計測する画像領域を限定することにより, PCI バスの転送速度のボトルネックを解消している. しかし, 検出対象に対してオクルージョンが生じた場合, リアルタイム性を確保できないという問題点がある.

そこで我々は, CMOS + FPGA Vision を提案し, 画像重心アルゴリズムを FPGA 上に実装した [3]. 1ms で最大  $1280 \times 504$  pixel の画像から重心位置を検出し, オクルージョンに対してでも有効であることを示した. 本稿では, グローバル演算を有するアルゴリズム, Matched Filter 法を CMOS + FPGA Vision に実装する. 画像サイズを  $256 \times 256$  pixel とし, 5ms 以内での位置検出を目指す.

### 2. ビジョンアルゴリズム

#### 2.1 Matched Filter

Matched Filter とは, 回転していない 2 つの画像間から, 画像照合, 移動量を検出する手法である. このアルゴリズムの特徴は, 画像の運動変位をロバストに検出できることや, 複数枚の画像, 異なる画像が存在しても対象とする画像を照合し検出できることである. しかし, グローバル演算であるフーリエ変換を要するため, 多くの計算時間を要する. 画像の座標値  $x, y$  に対する画素値

を  $g(x, y)$  とし, テンプレート画像  $g_{ref}(x, y)$  と入力画像  $g_{inp}(x, y)$  のフーリエ変換を  $G_{ref}(\xi, \eta)$ ,  $G_{inp}(\xi, \eta)$  とする. このとき相関関数  $m(x, y)$  は,

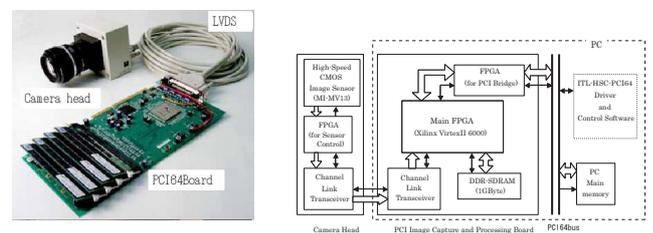
$$M(\xi, \eta) = \frac{G_{inp}(\xi, \eta)}{G_{ref}(\xi, \eta)} \quad (1)$$

を逆フーリエ変換することにより求められる. この相関関数  $m(x, y)$  のピーク値, 位置から画像照合の判別や移動量を検出する.

### 3. CMOS + FPGA ビジョン

#### 3.1 システム構成

CMOS + FPGA ビジョンは, Fig.1(a) に示すように, CMOS イメージャ, LVDS と PCI64 ボードから構成されている. Xilinx 社製 Virtex-II の FPGA は, PCI64 ボード上に実装され, 約 600 万システムゲート相当の論理回路を構築できる. Fig.1(b) に画像データフローを示す. CMOS イメージャで撮影された画像は, LVDS を経由して, PCI64 ボード上の FPGA へ転送される. この FPGA 上に画像処理回路を実装する. 画像処理回路は, DDR-SDRAM を記憶回路として使用しながら, リアルタイムでの位置検出を行う. 算出された位置情報のみを PCI ブリッジを介して PC との通信を実現する.



(a) CMOS + FPGA Vision

(b) Signal flow

Fig.1 Vision system

#### 3.2 回路設計

2.1 節の Matched Filter 法を個々のモジュールに分けて回路設計を進めていく. Fig.2 に回路構成を示す.

あらかじめ、テンプレート画像の2次元高速フーリエ変換後の値をDDR-SDRAMへ格納しておく。画像が入力されると、2次元高速フーリエ変換され、出力のタイミングを見計らってDDR-SDRAMからテンプレート画像の値を読み出す。その後、複素演算を開始すると同時に、相関関数の値を求めていく。回路設計には、Xilinx社製ISE FoundationのVerilog-HDLを、シミュレーションにはMentor Graphics社製のModelSim SEを使用している。

### 3.2.1 2次元高速フーリエ変換モジュール

2次元高速フーリエ変換モジュールは、1次元高速フーリエ変換を2回使用することにより実現する。まず、1次元高速フーリエ変換モジュールの回路設計を示す。1次元高速フーリエ変換は、Xilinx社からIPコアとして提供されている256点FFTと、Dual Port RAMを組み合わせることで設計できる。次に、2次元高速フーリエ変換モジュールの回路設計を示す。2次元高速フーリエ変換は、画像データの横方向、縦方向成分に対して、それぞれ1次元フーリエ変換をかけることによって計算する。しかし各々を単独で処理していくと処理時間を要するため、1次元高速フーリエ変換モジュールを4つ用いたパイプライン処理を施す。Fig.3に回路構成を、Fig.4にタイミングチャートを示す。2次元高速フーリエ変換に要する時間は、画像サイズ256 × 256pixelで2.01msである。

### 3.2.2 複素演算モジュール

複素演算モジュールは、テンプレート画像と入力画像のフーリエ変換の結果から、式(1)の相関関数を求める。複素演算モジュールの内部構成はFig.5に示すように、乗算器、加算器、減算器、除算器から構成される。2次元高速フーリエ変換後の実数、虚数の入力に対して、複素数の演算を行い、処理結果を実数、虚数と交互に出力する。Fig.6にタイミングチャートを示す。4の除算フェーズでは、計算に54CLKの遅延を生じるため、パイプライン処理を用いて時間を削減する。すなわち、1のデータの読み込みフェーズと5のデータ書き出しフェーズを交互に入出力できるように制御する。複素演算モジュールで処理に要する時間は、0.49msである。

## 4. おわりに

本稿では、Matched Filter法における各モジュールの設計方針とパイプライン処理化について述べた。Matched Filter法をCMOS + FPGA Visionに実装した際、各モジュールで要する時間は、2回の2次元高速フーリエ変換で4.02ms、複素演算で0.49msであり、5ms以内で処理が完了できることを示した。今後は、各モジュールの回路設計を進めていくとともに、さらなる高速化を目指す。

### 参考文献

[1] 石井抱, 石川正俊: 1ms ビジュアルフィードバックシステムのための高速対象追跡アルゴリズム, 日本ロボット学会誌, Vol.17, No.2, pp.195-201, 1999.  
 [2] 柴沼満, 灘谷演, 石井抱: 高速メガピクセルビジョンを用いたジェスチャー認識システム, 第8回ロボティクスシンポジウム予稿集, pp.222-227, 2003.

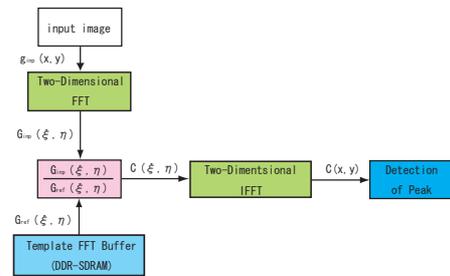


Fig.2 Circuit design overview

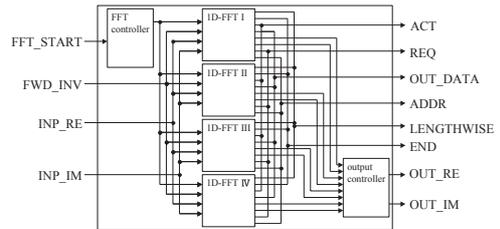


Fig.3 2D-FFT module

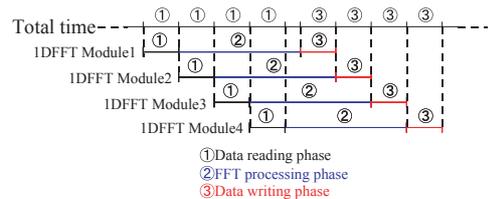


Fig.4 2D-FFT module timing chart

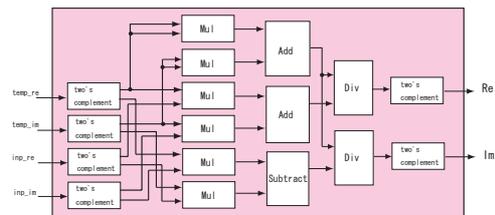


Fig.5 Complex calculation module

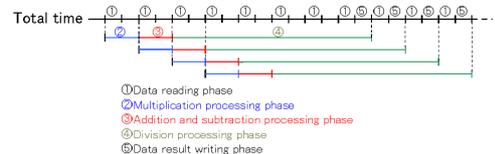


Fig.6 Complex calculation module timing chart

[3] 清水一弘, 高橋考作, 平井慎一: CMOS センサと FPGA を用いた高速・高解像度ビジョンシステムの構築, ロボティクス・メカトロニクス'05 講演会予稿集 CD-ROM, 2005.