

CMOS センサと FPGA を用いた高速・高解像度ビジョンシステムの構築

A High-Speed and High-Resolution Vision System using

CMOS sensor and FPGA

学 清水一弘 (立命館大学) 学 高橋考作 (立命館大学)

正 平井慎一 (立命館大学)

Kazuhiro SHIMIZU, Kosaku TAKAHASHI, Shinichi HIRAI
(Ritsumeikan University)

In this paper, we will develop a High-Speed and High-Resolution Vision System using CMOS sensor and FPGA and evaluate its performance experimentally. First, we describe the developed High-Speed and High-Resolution Vision System. Secondly, we implement the computation of the image gravity center on the FPGA. We then evaluate the performance of the vision system using a rotating object.

Keywords: CMOS sensor, FPGA, vision, high-speed and high-resolution vision system

1 はじめに

視覚センサを用いてビジュアルフィードバックを実現するためには、高速実時間処理を維持したまま、かつ同時に処理する画素数を増やした高解像度でのビジョンシステムが必要である。高速ビジョンチップの先行研究として、石川らの CPV (Column Parallel Vision) [1] システムと石井らの Mm Vision (Mega-pixel and mili-second) [2] がある。石川らは、センサと処理要素を画素ごとに直結した汎用超並列・超高速ビジョンを提案しているが、数千画素レベルの低解像度でしか実現されていない。さらに、処理要素を並列に並べてあるため、モーメント計算、フィルタ処理などの局所的な演算は可能であるが、フーリエ変換やハフ変換などの大域的な演算は困難である。一方、石井らは、高解像度でのトラッキングを実現するために、必要な画像領域を選択する Mm Vision を提案している。1 フレームに処理する画像領域を限定することにより、PCI バスの転送速度のボトルネックを解消している。しかし、この手法では、オクルージョンが生じてトラッキング対象を見失った場合、リアルタイム性を確保して対象を発見することが困難である問題点がある。

そこで、本稿では、制御に必要な情報のみをコントローラに転送することにより、PCI バスのボトルネックを解消する。高解像度の撮影領域と高速リアルタイム性を両立するビジョンシステムを、CMOS センサと FPGA を用いて構築する。特に、画像重心アルゴリズムを FPGA 上に実装し、物体の位置検出を行った結果について述べる。

2 CMOS + FPGA ビジョン

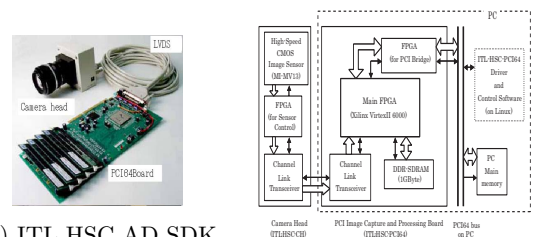
2.1 コンセプト

CMOS + FPGA ビジョンは、制御に必要な情報のみをコントローラと通信することにより、PCI バスの転送速度のボトルネックを解消する。すなわち、CMOS イメージャで画像を取得し、FPGA 内でその画像を処理し、得ら

れた演算結果のみをコントローラに通信する。FPGA には、従来より研究・開発されている多様な画像処理アルゴリズムを実装できる [3]。

2.2 システム構成

本研究で用いる高速ビジョンシステムは、(株) 画像技研製 ITL-HSC-AD-SDK である。ITL-HSC-AD-SDK は図 1(a) に示すように、カメラヘッド、LVDS と PCI64 ボードから構成されている。カメラヘッドには、CMOS イメージャが搭載されており、 1280×504 pixel の画像サイズを最大 1000 fps で撮影できる。PCI64 ボード上には、Xilinx 製 Virtex-6000 の FPGA が実装されており、600 万システムゲート相当の論理回路を構築できる。図 1(b) にビジョンシステムの信号の流れを示す。CMOS イメージャから撮影された画像情報は、LVDS を経由して PCI64 ボード上の FPGA 上に実装されている画像処理回路へ転送される。画像処理回路は必要に応じて DDR-SDRAM を記憶回路として使用しながら、リアルタイムで画像処理を行い、PCI ブリッジを介して PC との通信を実現する。



(a) ITL-HSC-AD-SDK

(b) Signal flow

Fig. 1: Vision system

3 FPGA 実装

本研究において、アルゴリズムの回路設計には、Xilinx 社製 ISE Foundation の Verilog-HDL を、シミュレーションには Mentor Graphics 社製の ModelSim SE を使用した。画像重心回路の FPGA には、実際のゲートの 8% を消費し、最大 73MHz の周波数で駆動できることが判明した。本研究では、FPGA の駆動周波数を 66MHz で動作させている。

4 物体検出実験

4.1 LED の低速・高速回転での位置検出

最初に、LED を 600rpm, 12,000rpm で低速、高速回転させ、重心位置を検出する実験を行った。画像サイズは 1280×504 pixel, 1 画素 10bit, 1000fps での撮影である。露光時間はそれぞれ 0.1ms, 0.03ms と設定した。図 3 および図 4 に LED を 600rpm, 12,000rpm で回転させた時の重心位置を示す。図 (a)(b) は x, y 座標の時間変化を、図 (c) は $x-y$ 平面内での重心位置の軌跡を表している。図 3 より、LED の重心位置がサイン波となっていることから、画像重心回路の FPGA 実装は正しく動作していることが確認できる。図 4 では、LED の 1 周期に対して 5 点の位置計測を、さらに 0.05s の間に 50 点の位置検出ができています。したがって、本ビジョンシステムは、LED の高速回転に対しても位置検出が可能である。

4.2 オクルージョンが生じた場合の重心位置検出

次に、オクルージョンが生じて LED を見失った場合に対して、重心位置検出を行った。そのために、LED が検出視野から消える状況が発生させた。LED の回転数は 12,000rpm とし、画像サイズなどの条件は 4.1 節と同様である。図 5 から、0.05s の間の検出位置数が 50 点であることが分かる。これより、オクルージョンが発生しても 1ms でのリアルタイム性を確保できることが分かった。

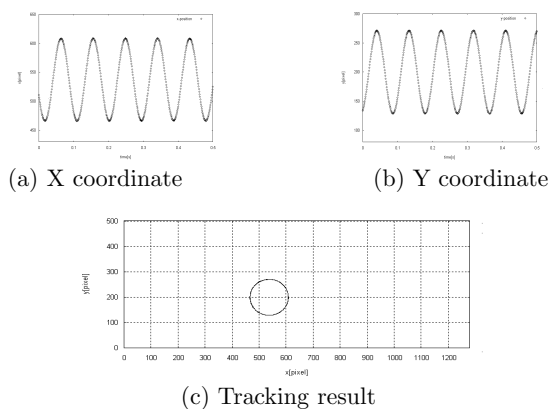


Fig. 2: Experimental result : 600rpm

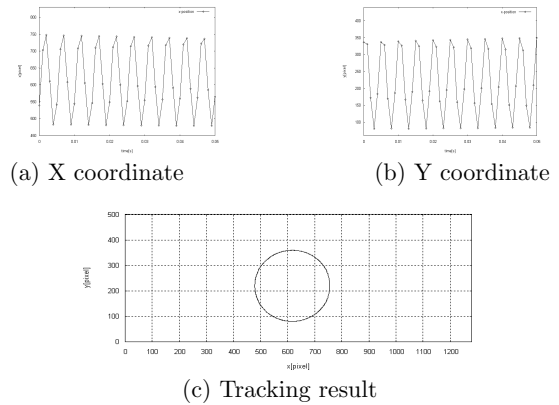


Fig. 3: Experimental result : 12,000rpm

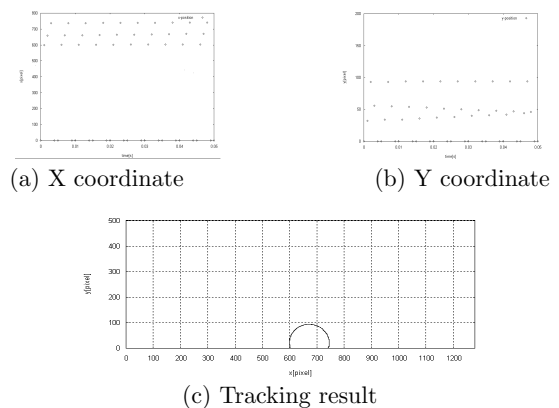


Fig. 4: Experimental result : 12,000rpm for occlusion

5 おわりに

本稿では、CMOS センサと FPGA を用いて高速応答と高解像度を両立するビジョンシステムを提案した。画像重心アルゴリズムを FPGA 上に実装し、撮影対象にオクルージョンが生じた場合でも 1ms のリアルタイム性を確保できることを示した。今後は、演算量の多いフーリエ変換など、大局演算を有するアルゴリズムの回路設計を進めていく。

参考文献

- [1] 中坊嘉宏, 石川正俊, 豊田晴義, 水野誠一郎: ビジュアルフィードバックのための 1ms 列並列ビジョン (CPV) システム, 第 5 回ロボティクスシンポジウム論文集 予稿集, pp.375-380, 2000
- [2] 石井, 杉山, 加藤, 黒住, 沼田, 田島: 知的画素選択機能を有する高速・高空間解像度ビジョンシステム, 第 5 回計測自動制御学会システムインテグレーション部門学術講演会予稿集, pp.821-822, 2004.
- [3] 平井, 座光寺, 増淵, 坪井: FPGA ベースリアルタイムビジョン, 日本ロボット学会誌, Vol.22, No.7, pp.873-880, 2004.