

Matched Filter 法を用いた高速ビジョンシステム

立命館大学 清水一弘, 平井慎一

High-Speed Vision System based on Matched Filter

Kazuhiro SHIMIZU, Shinichi HIRAI
Ritsumeikan University

Abstract— In this paper, we describe a CMOS + FPGA Vision based on matched filter. Matched filter can detect robustly the position of a planar motion object but requires much computation time for 2D-FFT. Its implementation on an FPGA is expected to reduce the computation time. This paper describes the logic circuit to perform matched filter.

1. 緒言

視覚センサは、観測対象に対して非接触であることや、制御における絶対位置情報を取得できるメリットがある。この視覚センサを用いて、制御対象の位置、姿勢情報をリアルタイムにフィードバックすることが可能となれば、視覚センサを用いたビジュアルフィードバックを実現でき、安定にロボットを制御できる。そこで、視覚センサを実時間上で用いるために、画像処理の高速化や独自のハードウェアを実装したビジョンセンサが研究されている。石川らは、画素ごとにセンサと処理要素を並列にならべたアーキテクチャを提案し、フィードバックレート 1000Hz を有するビジョンシステムを開発している [1]。しかし、処理要素を並列に配置しているため、画像重心やフィルタ処理などの局所演算は高速に演算できるが、フーリエ変換などのグローバル演算の実装は困難である。石井らは、メガピクセルの画像領域から特定の画素を選択する Mm Vision を提案している [2]。1 フレームの画像に対して、計測する画像領域を限定することにより、PCIバスの通信速度のボトルネックを解消している。しかしこの手法では、検出対象に対してオクルージョンが生じた場合、リアルタイム性を確保できなくなるという問題点がある。

そこで我々は、高解像度の撮影領域全域を処理する CMOS + FPGA Vision を提案している。画像重心アルゴリズムを FPGA 上に実装し、1280x504pixel の画像から 1ms で位置検出が可能であることを示した [3]。次に、グローバル演算を含むアルゴリズム matched filter 法に関して、各モジュールを並列に配置できることや、その高速化について論じた [4]。

本報告では、matched filter に必要な画像処理回路を設計し、シミュレーションを行った。その結果について述べる。

2. ビジョンアルゴリズム

2.1 Matched filter

Matched filter とは、回転していない 2 つの画像間から、画像照合、移動量を検出する手法である。このアルゴリズムの特徴は、画像の運動変位をロバストに検出できることや、複数枚の画像、異なる画像が存在しても対象とする画像を照合し検出できることである。しかし、グローバル演算であるフーリエ変換を要するため、多く

の計算時間を要する。画像の座標値 x, y に対する画素値を $g(x, y)$ とし、テンプレート画像 $g_{ref}(x, y)$ と入力画像 $g_{inp}(x, y)$ のフーリエ変換を $G_{ref}(\xi, \eta)$, $G_{inp}(\xi, \eta)$ とする。このとき相関関数 $m(x, y)$ は、

$$M(\xi, \eta) = \frac{G_{inp}(\xi, \eta)}{G_{ref}(\xi, \eta)} \quad (1)$$

を逆フーリエ変換することにより求められる。この相関関数 $m(x, y)$ のピーク値、位置から画像照合の判別や移動量を検出する。

3. CMOS + FPGA Vision

3.1 コンセプト

視覚センサで撮影された高解像度の画像を PC で処理する場合、PCIバスの通信速度の制限がボトルネックとなる。さらに画像処理量も膨大であるため、ソフトウェアでの処理では十分に対応できない。CMOS + FPGA Vision は、制御に必要な情報のみをコントローラと通信することにより、高リアルタイム性を確保する。さらに画像処理には、FPGA を用いたハードウェア処理を行う。すなわち、CMOS センサで画像を取得し、FPGA 内で画像処理を施し、演算結果のみをコントローラと通信する。FPGA は、再構成可能なハードウェアであり、従来より研究、開発されている様々なアルゴリズムを実装できる [5]。

3.2 システム構成

CMOS + FPGA ビジョンは、Fig.1(a) に示すように、CMOS センサ、PCI64 ボードと LVDS ケーブルから構成されている。PCI64 ボード上には、Xilinx 社製 Virtex-II の FPGA が搭載されており、600 万システムゲート相当の論理回路を構築できる。Fig.1(b) に画像データフローを示す。CMOS センサで撮影された画像は、LVDS を経由して、PCI64 ボード上の FPGA へ転送される。この FPGA 上に画像処理回路を実装し、リアルタイムでの位置、姿勢検出を行う。また、画像処理回路は、外部の DDR-SDRAM を利用することにより、画像データを保存できる。算出された必要情報のみを PCIバスを介して PC との通信を実現する。

3.3 シミュレーション

Fig.2 に、各モジュールのタイミングチャートを示す。あらかじめ、テンプレート画像の 2 次元高速フーリエ

変換後の値を DDR-SDRAM へ格納しておく．画像が入力されると，2次元高速フーリエ変換される．その後，出力のタイミングを見計らって複素演算を実行する．複素演算の結果をもとに，2次元逆高速フーリエ変換を行い，相関関数を求める．

次に，画像サイズ 64x64pixel において各モジュールを接続し，シミュレーションを行った．その結果，全体に要するクロック数は 21,930 クロックとなり，0.329ms で処理が完了することが分かった．また，ゲート消費率は 31 % であり，最大 69MHz の周波数で駆動できることが判明した．本研究では，FPGA の駆動周波数である 66MHz で動作させている．回路設計には，Xilinx 社製 ISE Foundation の Verilog-HDL を，シミュレーションには Mentor Graphics 社製の ModelSim SE を使用している．

3.4 2次元高速フーリエ変換モジュール

2次元高速フーリエ変換は，画像の横方向，縦方向成分に対して，それぞれ1次元フーリエ変換をかけることによって計算する．最初に，1次元高速フーリエ変換の回路設計を示す．1次元高速フーリエ変換は，Xilinx 社から IPcore として提供されている 64点 FFT と，Dual Port RAM を組み合わせることにより設計する．1次元高速フーリエ変換は，1行単位での計算となるため，今回は Fig.3 に示すように，4つの1次元高速フーリエ変換を用いたパイプライン化処理を行っている．1回の処理に要するクロックは 357 クロックであり，64行の処理を完了するのに 4389 クロック必要になる．従って，2次元高速フーリエ変換に要するクロック数は，8778 クロックとなり，0.13ms で処理が完了することになる．

3.5 複素演算モジュール

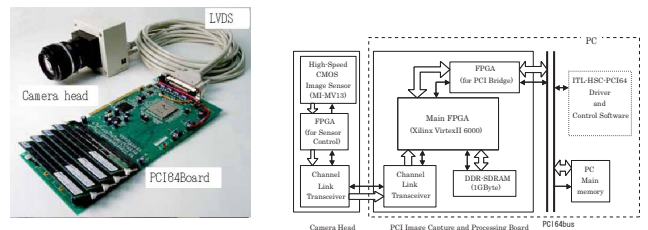
複素演算モジュールは，テンプレート画像と入力画像のフーリエ変換の結果から，式(1)の相関関数を求める．複素演算モジュールの内部構成は Fig.5 に示すように，乗算器，加算器，減算器，除算器から構成される．特に，乗算器 6 つを並列に配置することにより，1回の乗算時間で乗算が完了する．他の演算器も同様である．Virtex-II の FPGA には，専用乗算器が実装されており，2クロック遅延の後に値を算出する．除算は，IPcore として提供されている除算器を使用した．遅延時間は 38 クロックである．したがって，加減算を考慮すると，1pixel 分の画像データに関して 41 クロックで計算できる．

4. 結言

本稿では，matched filter 法における各モジュールを設計し，その接続を試みた．さらに全体を通したシミュレーションでは，64x64pixel の画像に対して，0.329ms で処理を終えることが分かった．今後は，CMOS + FPGA Vision への実装，画像サイズを 256x256pixel へ拡大することが挙げられる．

参考文献

[1] 石川正俊：超高速ビジョンの展望，日本ロボット学会誌，Vol.23，No.3，pp.2-5，2005.
 [2] 柴沼満，灘谷演，石井抱：高速メガピクセルビジョンを用いたジェスチャー認識システム，第8回ロボティクスシンポジウム予稿集，pp.222-227，2003.



(a) CMOS + FPGA Vision (b) Signal flow

Fig.1 Vision system

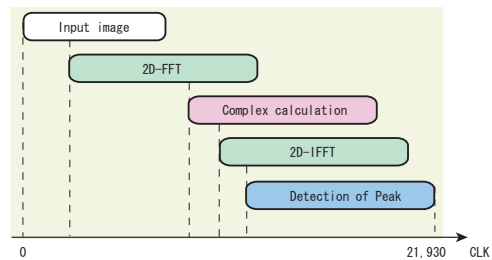


Fig.2 Timing chart of parallel matched filter

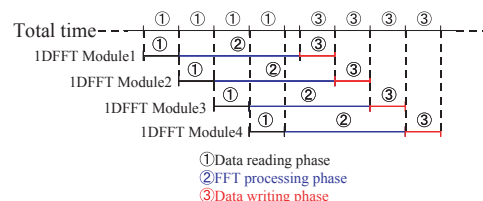


Fig.3 Parallel computing of 2D-FFT

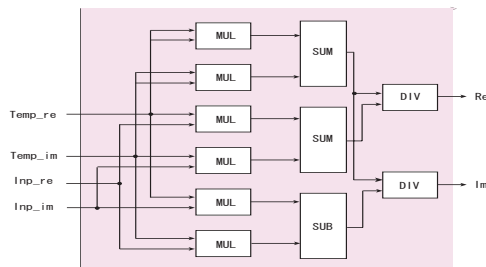


Fig.4 Parallel computing of complex quotient calculation

[3] 清水一弘，高橋考作，平井慎一：CMOS センサと FPGA を用いた高速・高解像度ビジョンシステムの構築，ロボティクス・メカトロニクス'05 講演会予稿集 CD-ROM，2005.
 [4] 清水一弘，平井慎一：CMOS + FPGA Vision 実装のための Matched Filter の並列化，第 23 回日本ロボット学会学術講演会予稿集 CD-ROM，2005.
 [5] 平井慎一，座光寺正和，増淵章洋，坪井辰彦，FPGA ベースリアルタイムビジョン，日本ロボット学会誌，Vol.22，No.7，pp.873-880，2004.