

# 可変焦点ミラーを用いた全焦点画像取得システム

## A 3-D Image Acquisition System Using A Varifocal Mirror

○学 北川 耕平(立命館大) 学 玉井 俊規(立命館大)  
正 平井 慎一(立命館大) 正 石井 明(立命館大)

Kouhei KITAGAWA, Toshinori TAMAI, Shinichi HIRAI, Akira ISHII  
(Ritsumeikan University)

This paper describes a 3-D image acquisition system using a constant-magnification focusing mechanism, which consists of a telecentric optical system and a varifocal mirror actuated by a PZT actuator. This time, we use FPGA Module to do image processing. And we change image sensor from CCD Imager to CMOS Imager that can get images 1000fps. FPGA Module processes data parallel. So it is suitable for image processing, which is necessary to treat enormous data. We suggest high-speed image acquisition system using varifocal mirror.

**key word:** Varifocal Mirror, FPGA, 3-D Image, PZT Actuator, CMOS Imager

### 1. 緒言

電子機器の薄型化, 小型化が進むにつれて高密度実装型対応の半導体パッケージが開発されている. 現在半導体パッケージングとして BGA(Ball Grid Array), そしてさらにこれを小型化した CSP(Chip Size Package) が多く用いられている. このようなパッケージングに対応し, 検査項目のニーズの多様化が求められている. 現在, 半導体の分野では微細な部品の位置決めや検査には顕微鏡や内視鏡のような拡大光学系が用いられている. しかし, この拡大光学系は倍率が高くなるほど被写界深度が浅くなるため, ある奥行きに物体に焦点を合わせると, 異なる奥行きでは焦点が合わなくなる. そのため複雑な 3 次元形状の全ての位置に被写界を合わせることは困難な場合が多い. 本研究は PZT 積層型アクチュエータを用いた可変焦点ミラー機構を構築し, 微小物体の全焦点画像をリアルタイムで取得することを目的としている.

### 2. 実験装置

図 1 にシステム構成図を示す.

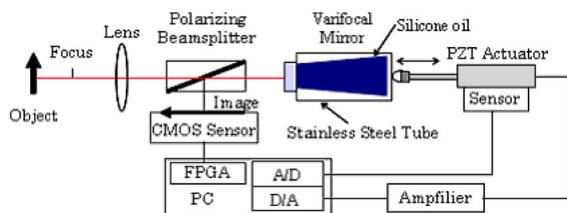


Fig.1 Construction of 3-D Image Acquisition System Using Varifocal Mirror

本システムはミラーに圧力を加え, 曲率を変化させることで焦点を移動させ複数焦点での撮像を行うものである. 石井らによって検証されているテレセントリック光学系を使用することにより, 焦点をずらしても一定倍率での撮像が可能となっている [1]. そのため, 複数の画像より 1 枚の全焦点画像を作成する本システムでは非常に有効なものである. 我々は以前 CCD Imager を用いて PC 上で 3 次元画像を取得できることを示した [2]. しかし, 画像処理を PC(Pentium3 1.0GHz) 上で行うと, 304sec かかることも分かった. よって, 画像処理を高速化するために並列処理のできる FPGA への実装を行う. また画像取得に最大 1000fps で撮像することが可能な

CMOS Imager を用いた. これにより, 画像取得にかかる時間が減少するため全焦点画像を高速に取得することができる. 実際に使用する CMOS Imager と FPGA ボードを図 2 に示す.

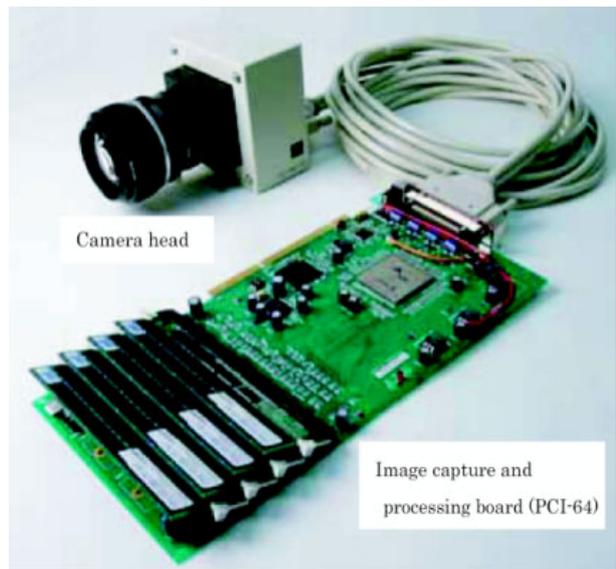


Fig.2 CMOS Imager and FPGA Board

また, 本システムではミラーを直接 PZT アクチュエータで押すのではなく, オイルを介して力を加えている. ミラーに直接加圧した場合, 図 3(a) に示すように応力集中が起きミラー曲面が歪に変形する. よって, オイルを介し圧力を分散させることにより, 図 3(b) に示すようにミラー曲面に球面を形成させる.

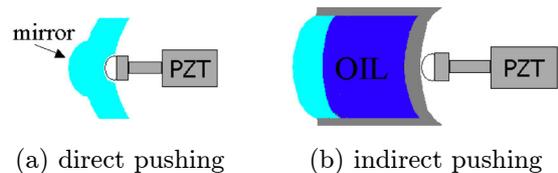


Fig.3 Mirror Surfaces Generated by Applied Force

### 3. 制御

#### 3.1 制御目標

本システムでは最大 1000fps の CMOS Imager を使用している。よって、1ms 以内にミラーを静定させ、また連続して目標となる焦点移動量を獲得することを目標とする。

また、全焦点画像を 1 枚取得する時、制御の流れは以下のようになる。

1. 初期状態で画像を 1 枚撮像
2. PZT アクチュエータを駆動し、焦点を移動する
3. 画像の撮像
4. step2,3 を画像が 10 枚溜まるまで繰り返す
5. 画像を元に全焦点画像を FPGA 上で作成
6. FPGA からの画像処理終了の信号を受け DMA 転送を開始させる
7. 作成された全焦点画像を PC 内部メモリへ DMA 転送
8. 画像表示

複数回全焦点画像を取得する場合は DMA 転送の終了を待って、step1 に戻る。

#### 3.2 PZT アクチュエータの制御

PZT 積層型アクチュエータの圧電定数を  $d$ 、電界強度を  $E$ 、素子 1 枚の厚みを  $t$ 、積層枚数を  $n$  とする。このとき変位  $\delta$  は一般的に

$$\delta = dEtn \quad (1)$$

で求められる。しかし、圧電定数はアクチュエータにかかる電圧により複雑に変化するものであり、一定の値ではない。また、PZT アクチュエータの変位は内部素子が歪むことによつて発生する。各素子で応答速度にばらつきがあり、各素子がすべて同様に反応するわけではないので速度制御や、加速度制御には向いていない。よつて変位を計測し、制御モデルとなる式を求め、それをもとに位置制御を行う。5 秒ごとに 12V 印加電圧を増加させ、最大駆動電圧である 600V まで印加し、各電圧における変位を測定した。PZT アクチュエータへの印加電圧を  $V$  としたとき求められた変位  $\delta$  の導出式を式 (2) に示す。

$$\delta = 1.262V^3 + 0.00168V^2 + 0.0292V \quad (2)$$

式 (2) の逆関数より、変位  $\delta$  に対する印加電圧  $V$  を求める。PZT アクチュエータおよびドライバを含めたシステムを等価 RC 回路で表し、その時定数を  $T_a$  とする。PZT アクチュエータの駆動においては、変位  $\delta$  に対する印加電圧  $V$  を式 (2) より求め、求められた電圧  $V$  の  $\alpha$  倍を時間  $T_a$  印加する。ここで  $\alpha$  は 1 以上の定数である。電圧  $V$  の  $\alpha$  倍を加えることにより、クリープの発生を減少させる。本研究では、 $\alpha = 1.3$ 、 $T_a = 1.4\text{ms}$  とした。PZT アクチュエータは駆動させた場合バネ系として考えられる。同様にシリコンオイルを封入したステンレス管はダンパ成分が非常に微小であるので、バネ系であると考えられる。よつて、駆動系は力学的にはバネマス系であると考えられる。ダンパの要素が微小なため、振動した場合ミラーに外力が加わらない限り 1ms 以内に静定することが難しくなる。クリープの発生を最小限に抑えるのは、それによる振動を抑えるためである。

#### 3.3 制御結果

図 4 に 10ms ごとに目標値を  $4\mu\text{m}$  づつ変化させた場合の結果を示す。図 4 のように静定時間が最大で 5ms 程度であった。また、目標変位が増大するほどに応答速度が遅くなっている。特に目標変位が  $30\mu\text{m}$  以上において顕著に見られる。この原因として piezo 素子の応答速度の遅さが考えられる。

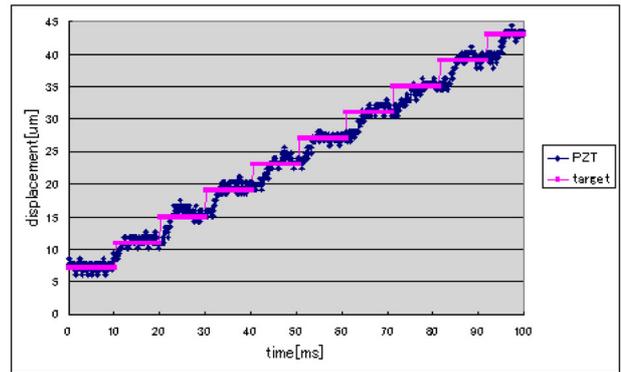


Fig.4 A Result of Control of PZT Actuator

PZT アクチュエータの応答速度は piezo 素子の応答速度により決定する。このとき、piezo 素子の応答速度にはそれぞれ個体差があるので、PZT アクチュエータ内部において応答速度の速い素子から反応していくものと考えられる。よつて、ある一定以上の変位を与えた場合、主に変位に影響する歪を起す素子には応答速度の遅い piezo 素子しか残っておらず PZT アクチュエータの応答速度も遅くなるのではないかと考えられる。

よつて、1ms 以内に静定させるには PZT アクチュエータの駆動範囲を制限する必要がある。また、この駆動範囲の制限分を補うために変位増幅機構の導入などの対策をとる必要がある。

### 4. 画像処理

#### 4.1 合焦度

本研究では Shape from focus により画像を合成して全焦点画像を取得する。その際、画像のぼけを定量的に判断するために合焦度を用いる。合焦度は画像の差分をとることで求められるもので、検出オペレータには様々な提案がなされているが、本研究では比較間隔 2 の 8 近傍変形二次微分フィルタを用いた [3]。合焦度検出オペレータをかけて得られる合焦度は照明などの低周波成分にも反応するためばらつきが大きくなる。そのため、合焦度算出オペレータをかけて得られた画像に Maximum フィルタを施すことで、高周波成分を強調して安定した合焦度を求めた。

#### 4.2 画像合成方法

本節では全焦点画像作成のための合成方法について述べる。

1. 取得した一枚目の原画像に対して、フィルタリング処理を行い、合焦度を算出する
2. 焦点距離を変化させ、手順 1 と同様に、二枚目の原画像を取得し、合焦度を算出する
3. step1,2 で得られた合焦度をピクセルごとに比較し、値の高い方の原画像の輝度値を全焦点画像の輝度値として合成する
4. step1 から step3 を 10 回繰り返して、10 枚の画像から全焦点画像を合成する

全焦点画像の質と距離情報の分解能は画像取得枚数によって決まるため、PZT の分解能に依存している。

### 5. 回路設計

全焦点画像の合成は膨大な演算量を要するため、通常の PC ではリアルタイム処理を行うことができない。そのため、本研究では全焦点画像生成アルゴリズムを FPGA に実装することにより、リアルタイム処理を保証する。

回路設計にはハードウェア言語である Verilog HDL を用いた。

### 5.1 ビット詰めモジュール

ビット詰めモジュールは CMOS カメラから得られた画像データを DDR-SDRAM に効率よく格納するためにビット詰め処理を行う。画像データは 100bit(10pixel 分) で送信されてくる。一方、DDR SDRAM では 128bit で書き込み可能であるため、効率よく格納するためにはビット詰めを行う必要がある。

### 5.2 八近傍変形二次微分フィルタモジュール

8 近傍変形二次微分フィルタモジュールは画像の差分を求めて合焦点度を求める。比較間隔 2 の 8 近傍変形二次微分フィルタでは値を算出するのに注目画素とその周辺 8 画素分のデータを必要とする。DDR SDRAM は連続したアドレスでなければデータを読み出すことができず、5 列分の輝度値データが必要となる。5 列分のデータを読み出し 1 クロックで処理させた場合には動作周波数を大きく下げてしまう。そのため、1 列ごとに処理を施し、そのデータを Dual Port RAM に格納する。Dual Port RAM を列ごとに 4 個並列して用いることにより高速化する。

### 5.3 Maximum フィルタモジュール

Maximum フィルタモジュールは  $5 \times 5$  のマスクから値の一番高い値を抜き出す処理を行う。ここでも 8 近傍変形二次微分フィルタモジュール同様に、1 列ごとに処理を施し、Dual Port RAM を 4 つ並列して用いることにより高速化する。なお、Dual Port RAM の使用率は  $50/144(35\%)$  に抑えなくてはならないため 8 近傍変形二次微分フィルタモジュールと同一の RAM を使用する。

### 5.4 合焦点度比較、合成モジュール

合焦点度比較、合成モジュールは原画像 1 と原画像 2(合成画像)の合焦点度を比較して、合焦点度の高い方の原画像における輝度値を全焦点の輝度値として合成していくモジュールである。Dual Port RAM の使用率の制限から画像データを区切って、DDR SDRAM から合焦点度データを読み出し、原画像のアドレスを特定する。次に、DDRSD RAM から原画像データを読み出し、特定した位置の輝度値データのみを抜粋して合成する。

### 5.5 DMA 転送モジュール

DMA 転送モジュールは FPGA から PC へ大容量のデータ転送を行うためのモジュールである。PC 側からの転送要求を受けてから DDR SDRAM に格納された全焦点画像の輝度値データの転送を行う。

## 6. ソフトウェア処理

5.1 節で述べたように DDR-SDRAM に格納されているデータはビット詰めされている。よって、FPGA から PC へ送られてくるデータもビット詰めされたものである。これを画像データに変換する。また、画像に応じて 1 画素 10bit の場合と 1 画素 8bit の場合がある。しかし、10pixel 分のデータが 100bit で送られてくるのは変わらないので、8bit データの場合 100bit のデータのうち後半 20bit 分が 0 詰めされている。その後、1 画素の bit 数に応じ PC 内のメモリに格納されたデータを設定されている bit 数ごとに分割する。そのデータを数値データに変換することで、画素データを取得する。また、そうしてできた画像データを GUI で表示させる。

## 7. シミュレーション

設計する各モジュールを組み合わせた回路構成図を図 5 に示す。本報告書では設計した回路は未実装であるのでシミュレーション結果のみを報告する。8 近傍変形二次微分フィルタ処理を行った後に Maximum フィルタ処理をした Verilog 記述によるシミュレーション結果を図 6(a) に示す。また、比較のために同様の処理を行った C 言語記述による結果を図 5(b) に示す。シミュレーション結果の図 6(a) と C 言語記述の図 6(b) を比較してわかるように、合焦点度を求めるためのフィルタリング処理が行えていることが確認できる。

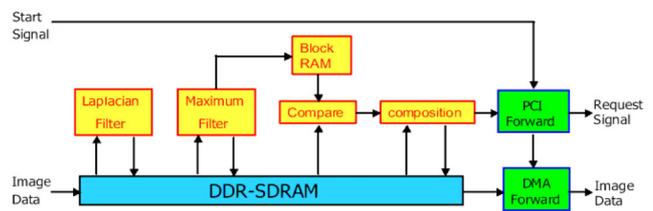
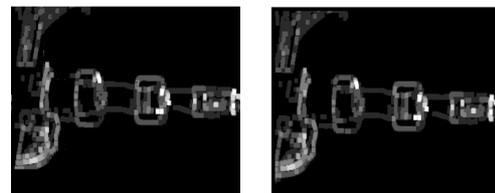


Fig.5 Circuit Diagram



(a) Verilog

(b) C language

Fig.6 Output Image of Laplacian and Maximum Filter

## 8. 終わりに

本報告では、 Piezoアクチュエータの制御と全焦点画像生成における各ステップに対応するモジュールの設計、シミュレーションによる検証を行った。今後は、 Piezoアクチュエータの応答速度を向上させるとともに設計の終わっていないモジュールの設計、検証を行う。本報告では Piezoアクチュエータ制御と画像処理はリアルタイムではなく単独で行った。今後は、全焦点画像生成アルゴリズム全体を FPGA に実装することによりリアルタイムビジョンシステムを構築する。

### 参考文献

- [1] Akira Ishii, Susumu Sugiyama, Junichi Sakai, Shinichi Hirai, and Toshinori Ochi: Constant-manification focusing using a varifocal mirror and its application to 3-D imaging ; Proc. of SPIE, Vol.4902, pp.238-245, 2002.
- [2] 北川耕平, 玉井俊規, 平井慎一, 石井明: 可変焦点ミラーを用いた三次元画像取得システム; 第 22 回日本ロボット学会学術講演会予稿集 CD-ROM, 2004.
- [3] 玉井俊規, 北川耕平, 平井慎一, 石井明: 流体圧力を用いた可変焦点ミラーの球面形状制御; 計測自動制御学会システムインテグレーション部門学術講演会, pp.184-185, 2004.