

可変焦点ミラーを用いた全焦点画像取得システムのリアルタイム化

立命館大学 ○ 玉井俊規, 北川耕平, 平井慎一, 石井明

High-speed All-in-Focus Image Acquisition System Using a Varifocal Mirror

○Toshinori TAMAI, Kouhei KITAGAWA, Shinichi HIRAI, Akira ISHI
Ritsumei University

Abstract: This paper describes an all-in-focus image acquisition system using a varifocal mirror. An all-in-focus image is constructed by multiple defocus images captured by a camera with a varifocal mirror. We employ an FPGA to speed up the construction process of an all-in-focus image. Furthermore, we apply a CMOS imager, which can capture images at 1,000 fps, to speed up the capturing process. We describe our high-speed all-in-focus image acquisition system and the design of an image construction circuit in an FPGA.

1 緒言

現在, 半導体の分野では微細な部品の位置決めや検査には顕微鏡のような拡大光学系が用いられている。しかし, この拡大光学系は倍率が高くなるほど被写界深度が浅くなるため, 被写体の3次元形状全ての位置に被写界を合わせることが難しい。そこで, 我々は焦点距離の異なる複数枚の画像から, 画像処理により被写体の全てに焦点の合った全焦点画像を取得するシステムを開発している。全焦点画像システムとして, 圧電バイモルフを積層したアクチュエータから構成した可変焦点レンズによるデジタル全焦点顕微システムが報告されている [1]。一方, 本システムは PZT 積層型アクチュエータを用いた可変焦点ミラーにより, 撮像レンズの焦点距離を変化させる可変焦点機構を構築している。

本研究ではリアルタイムとして 100ms 以内での全焦点画像を取得を目指している。画素ごとに画像処理を行うため, 高速化には並列処理が重要となる。そこで画像処理を並列処理可能な FPGA で行なう。また, 100ms 以内に 10 枚以上の画像取得が必要となるため, 最大 1000fps で撮像可能な CMOS カメラを用いることで撮像時間の高速化を行なう。本報告では CMOS カメラと FPGA によるリアルタイムビジョンシステムについて述べる。

2 実験装置

まず, システム構成図を Fig.1 に示す。本システムは大きく分けて, 焦点距離の異なる画像取得を行うた

めのミラー駆動部と画像処理を行うための CMOS カメラと FPGA により構成されている。

ミラー駆動部は撮像レンズの後方焦点位置に設置しており, ミラーの曲率を PZT を用いて変化させることで撮像レンズの焦点距離を変化させることができる。ミラーが絞りとなるため, テレセントリック光学系を形成し, 焦点をずらしても一定倍率での撮像が可能となる [2]。テレセントリック光学系は形状寸法が変化せず, 画像サイズが変わらないため画像合成に有効となる。

画像処理を行うための CMOS カメラと FPGA は Fig.2 に示すように, CMOS イメージャ, LVDS と PC64 ボードから構成されている。FPGA である Xilinx 社製 Virtex-2 は PCI64 ボードに実装され, 約 600 万システムゲート相当の論理回路を構築できる。CMOS イメージャで撮像された画像は, LVDS を経由して, PC64 ボード上の FPGA へ転送される。この FPGA 上に画像処理回路を実装する。画像処理回路は, DDR-SDRAM を記憶回路として使用し, フィルタリング処理と合成演算を行う。

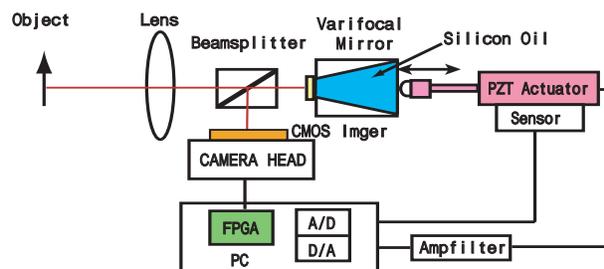


Fig 1: Construction of 3-D image acquisition system using varifocal mirror

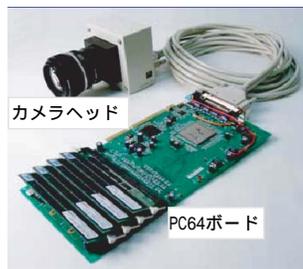


Fig 2: CMOS camera and FPGA board

3 画像処理

本研究では焦点距離の異なる複数枚の画像から、最も焦点が合っている箇所を抜き出し、画素ごとに合成して全焦点画像を形成する。ぼけた画像は焦点の合った画像と比較して高周波成分が弱くなる。その傾向を利用し、比較間隔2の8近傍変形二次微分フィルタを用いて画像の差分を求め、画素ごとに比較、合成を行う[3]。なお、合焦点検出オペレータ(8近傍変形二次微分フィルタ)をかけて得られる合焦点は照明などの低周波成分にも反応するためばつきが大きくなる。そのため、合焦点算出オペレータをかけて得られた画像に5×5のMaximumフィルタを施すことで、高周波成分を強調して安定した合焦点を求めている。

4 回路設計とシミュレーション

画像処理アルゴリズムをFPGAに実装するため回路設計を行う。設計にはハードウェア言語であるVerilog HDLを用いた。設計した各モジュールを組み合わせた回路構成図をFig3に示す。画像処理には比較を行うためのフィルタリングデータと原画像データが必要になる。設計した回路ではカメラから列ごとに入力されてくる原画像データ(10列目のデータ以降)の13CLK後にフィルタリングデータを算出し、DDR SDRAMに書き込むことができる。

本報告では設計した回路はSWとの同期が取れておらず未実装である。そこで、シミュレーション結果のみを報告する。今回のシミュレーション結果から10枚の画像合成における見積もり処理時間は78.1msであった。全焦点画像1枚につきFPGAからPCへのデータ転送時間も含め、100ms以内に1枚の画像表示は可能であると考えられる。シミュレーション結果をC言語にて再構築した全焦点画像をFig.4(a)に、距離画像をFig.4(b)に示す。

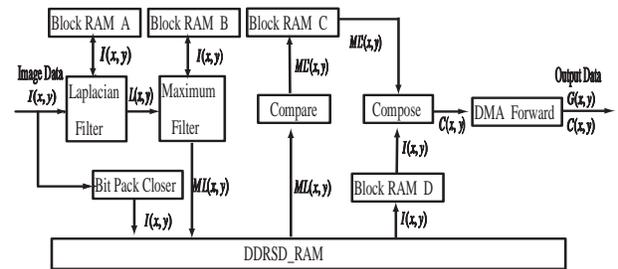
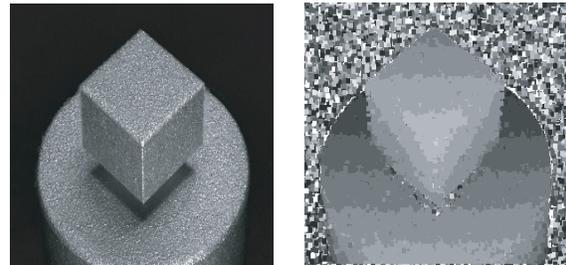


Fig 3: Circuit composition chart



(a) All focus image (b) 3-D image

Fig 4: All focus image and 3-D image by verilog

5 結言

本報告では全焦点画像生成システムの高速化について述べた。また、全焦点画像生成回路のシミュレーションを行なった。現在、FPGAからPCへの画像転送部の回路がPCと同期をとれていない。今後はSWとHWの協調検証を行い、全焦点画像生成回路を実装したリアルタイムビジョンシステムを構築する。

参考文献

- [1] Takashi Kaneko, Naoki Mitsumoto, Nobuki Kawahara: 可変焦点レンズを用いたデジタル全焦点顕微システム; デンソーテクニカルレビュー, Vol.5, No1, pp27-31, 2000.
- [2] Akira Ishii, Susumu Sugiyama, Junichi Sakai, Shinichi Hirai, and Toshinori Ochi: Constant-manification focusing using a varifocal mirror and its application to 3-D imaging; Proc. of SPIE, Vol.4902, pp.238-245, 2002.
- [3] S.K Nayer and Y.Nakagawa: Shape From Focus; IEEE Trans. Pattern Analysis and Machine Intell, Vol.16, No8, pp.824-831,1994.