

Matched filter の CMOS + FPGA Vision 実装

清水一弘 (立命館大学) 平井慎一 (立命館大学)

Matched filter implemented on CMOS + FPGA Vision

*Kazuhiro SHIMIZU (Ritsumeikan Univ), Shinichi HIRAI (Ritsumeikan Univ)

Abstract— This paper describes a parallel matched filter implemented on a CMOS + FPGA Vision. This algorithm can detect robustly the position of a planar motion object, but requires much computation time for 2D-FFT. Thus, we implement the matched filter on the FPGA and then evaluate the performance of the CMOS + FPGA Vision experimentally.

Key Words: Matched filter, CMOS + FPGA Vision, Logic circuit, Parallel processing

1. はじめに

ロボット制御における視覚センサの利点は、非接触で観測対象の位置・姿勢を認識できることである。その利点を活かし、視覚センサをロボット制御へ応用する研究が盛んに行われている。石川らは、画素ごとにセンサと処理要素を並列にならべたアーキテクチャを提案し、フィードバックレート 1000Hz を有するビジョンシステムを開発している [1]。しかし、処理要素を並列に配置しているため、画像重心やフィルタ処理などの局所演算は高速に演算できるが、ハフ変換やフーリエ変換などのグローバル演算の実装は困難である。石井らは、撮影されたメガピクセルの画像領域から特定の画素を知的選択し処理する Mm Vision を提案している [2]。1 フレームの画像に対して計測する画像領域を限定することにより、PCI バスの通信速度のボトルネックを解消し高リアルタイム性を実現している。しかしこの手法では、検出対象に対してオクルージョンが生じた場合、リアルタイム性を確保できなくなるという問題点がある。そこで我々は、1000Hz で撮影された高解像度の画像全域を処理する CMOS + FPGA Vision を提案している。画像重心計算アルゴリズムを FPGA 上に実装し、1280x504pixel の画像から 1ms で位置検出が可能であることを示した [3]。次に、グローバル演算を含むアルゴリズム Matched filter 法の FPGA 実装を目指し、その設計方針について論じてきた [4][5][6]。本報告では、Matched filter を CMOS + FPGA Vision に実装し、円形マーカの位置検出実験を行った。その結果について述べる。

2. ビジョンアルゴリズム

2.1 Matched Filter

Matched filter は、テンプレート画像と入力画像の 2次元フーリエ変換から得られるスペクトルを用いて相関を求める手法である。このアルゴリズムの特徴は、入力画像の輝度の変化や対象物の欠けに対してロバストに検出できることにある。テンプレート画像を $f_{ref}(x, y)$ 、入力画像を $g_{inp}(x, y)$ とし、これらの 2次元離散フーリエ変換をそれぞれ $F_{ref}(u, v)$ 、 $G_{inp}(u, v)$ とする。このとき相関関数 $m(x, y)$ は、次式で定義される $M(u, v)$

を 2次元逆離散フーリエ変換することにより得られる。

$$M(u, v) = \frac{G_{inp}(u, v)}{F_{ref}(u, v)} \quad (1)$$

(1) 式で定義された相関関数は、そのピークの座標から画像の 2次元の移動量の検出が可能であり、その相関値から入力画像の類似度をはかることができる。Fig.1 は、テンプレート画像と入力画像から Matched filter を計算した結果である。入力画像は、テンプレート画像に対して $(x, y) = (30, 20)$ 移動している。これらの相関関数は、2つの画像の移動量に対応した座標 $(x, y) = (30, 20)$ で最大値をとることが分かる。

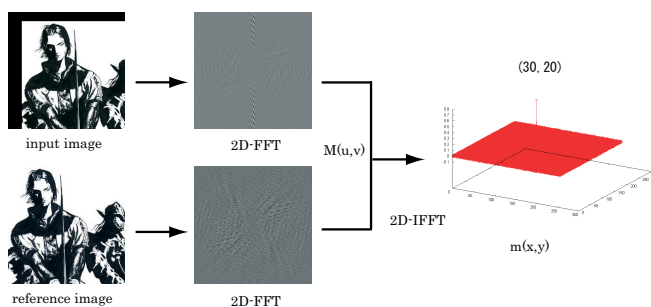


Fig.1 Matched filter

3. CMOS + FPGA Vision

3.1 コンセプト

CMOS + FPGA Vision は、1000Hz で撮影可能な CMOS センサと画像の特徴量を計算する FPGA から構成される。CMOS センサで撮影された画像は、画像処理アルゴリズムが実装されている FPGA に転送される。FPGA 上に構築された画像処理回路は、撮影された画像から対象とする画像の特徴量を計算する。算出された演算結果は、PCI バスを経由して PC へ転送される。

3.2 システム構成

CMOS + FPGA Vision は、画像技研製 ITL-HSC-AD-SDK を使用している。Fig.2(a) に示すように CMOS + FPGA Vision は、CMOS センサ、FPGA と

LVDS から構成されている。CMOS センサは、Micron Imaging 社製 MI-MV13 を使用し、1280 × 504pixel の画像を 1000fps で撮影できる。FPGA ボードは、Xilinx 社製 Virtex-II の FPGA が搭載されており、600 万システムゲート相当の論理回路を構築できる。Fig.2(b) に CMOS + FPGA ビジョンのシステム構成を示す。CMOS センサで撮影された画像は、LVDS インターフェイスを経由して FPGA ボード上の FPGA へ転送される。FPGA には画像処理アルゴリズムが実装されており、CMOS センサの画像のキャプチャーと同期しながら画像処理を行う。その画像処理の演算結果のみを PCIバスを介して PC と通信する。FPGA 内の画像処理回路は、外部の DDR-SDRAM と接続しており必要に応じてデータを保存できる。

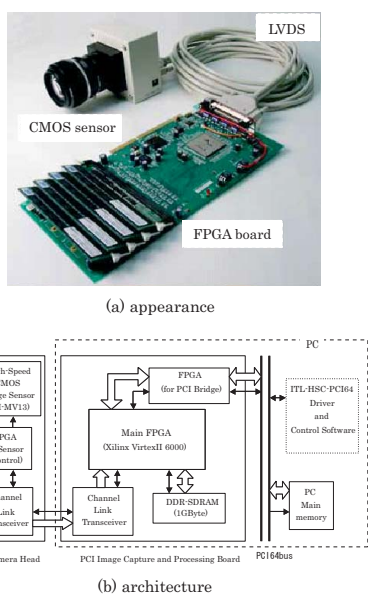


Fig.2 CMOS + FPGA Vision

4. FPGA 実装

本研究において Matched filter の回路設計には、ハードウェア記述言語である Xilinx 社製 ISE Foundation の Verilog-HDL を、シミュレーションには、Mentor Graphics 社製の ModelSim SE を使用した。Matched filter の FPGA 実装は、48 % のゲートを消費した。最大駆動周波数は 68.9 MHz と判明した。本研究では、66MHz で動作させる。Matched filter の計算時間は、0.4ms で完了する。

5. 物体検出実験

Fig.3(a) に示すようにテンプレート画像に円形マーカを使用した。円形マーカを台の上に載せ、円弧を描くように回転させた。画像サイズは 64 × 64pixel、1 画素 8bit、100fps、15s 間の撮影である。

5.1 円形マーカの位置検出

Fig.3(b) に入力画像の一例を示す。この時、Fig.4 に示す検出結果が得られた。図に示すように円形マーカの位置検出の軌跡は円弧を描いている。したがって、Matched filter の FPGA 実装は正しく動作しているこ

とが分かった。また、Fig.5(a) と Fig.6(a) に示すようにマーカに 50 % 程度の欠けがある場合でも、位置を検出できることが分かった。Fig.5(b) と Fig.6(b) に示すように背景輝度が変化した場合においても、マーカの位置検出に成功した。

5.2 複雑背景下での位置検出

入力画像に複雑な背景がある場合について、4通りの実験を行った。(a) 複雑背景下、(b) 欠けが生じている時、(c) 輝度の変化がある時、(d) 欠けと輝度の変化がある時である。Fig.7(a), (b), (c), (d) に入力画像を、Fig.8(a), (b), (c), (d) に位置検出結果を示す。Fig.8(a) と (c) においては、円形マーカの位置を正確にトラッキング出来た。一方、Fig.8(b) と (d) においては、位置検出が失敗することがある。これにより、入力画像に複雑な背景がある時でも位置検出が可能なが分かった。ただし、背景があり、マーカに欠けが生じた場合はロバスト性が損なわれる。



(a) reference image (b) input image

Fig.3 Reference and input images

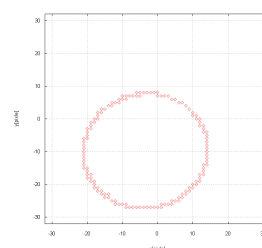


Fig.4 Tracking results



(a) occlusion (b) illumination change

Fig.5 Input images with disturbance

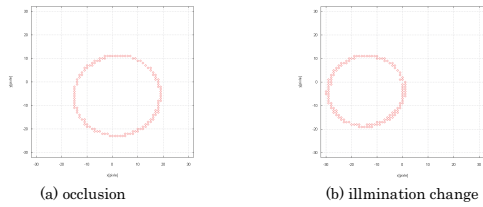


Fig.6 Input images with disturbance

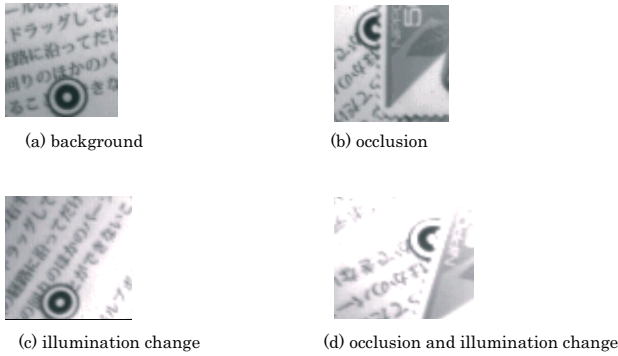


Fig.7 Input images with background

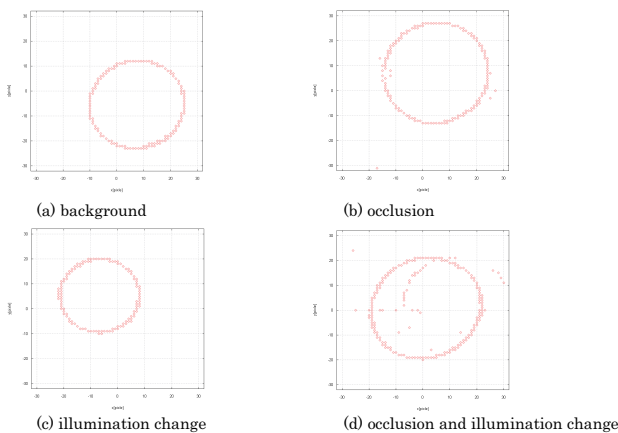


Fig.8 Tracking results under background and disturbance

6. おわりに

本稿では, Matched filter の CMOS + FPGA Vision 実装について述べた. 画像サイズ 64×64 pixel において, Matched filter の計算時間は 0.4 ms である. PC での計算時間は 31 ms であり, 大幅に計算時間の短縮が実現できている. 次に, Matched filter を用いて, 円形マーカの位置検出実験を行った. その結果, 入力画像に複雑な背景が無い時は, 円形の位置を正確に検出できていることが分かった. 複雑背景下においては, 欠けが生じている時を除けばマーカをトラッキングできている. 今後の展開として, 1) 検出精度をあげること, 2) 画像サイズを 256×256 pixel に拡大すること, 3) Matched filter を用いた回転角度検出アルゴリズムの FPGA 実装が挙げられる.

参考文献

- [1] 石川正俊: 超高速ビジョンの展望, 日本ロボット学会誌, Vol.23, No.3, pp.2-5, 2005.
- [2] 石井抱, 杉山克彦, 加藤一樹, 黒住省吾, 沼田暁彦, 田嶋健司: 知的画素選択機能を有する高速・高空間解像度ビジョンシステム, 第5回 計測自動制御学会 システムインテグレーション部門講演会 (SI2004) 講演論文集 3A2-2, 2004
- [3] 清水一弘, 高橋考作, 平井慎一: CMOS センサと FPGA を用いた高速・高解像度ビジョンシステムの構築, ロボティクス・メカトロニクス'05 講演会予稿集 CD-ROM, 2005.
- [4] 清水一弘, 平井慎一, Matched Filter 法を用いた高速ビジョンシステム, 計測自動制御学会システムインテグレーション部門学術講演会, pp.401-402, 2005
- [5] 清水一弘, 山中雅史, 平井慎一, CMOS + FPGA Vision, ロボティクス・メカトロニクス'06 講演会予稿集 CD-ROM, 2006
- [6] Kazuhiro Shimizu and Shinichi Hirai, CMOS+FPGA Vision System for Visual Feedback of Mechanical Systems, Proc. IEEE Int. Conf. on Robotics and Automation, pp.2060-2065, Orlando, May, 2006